

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-065486

(43)Date of publication of application : 05.03.1999

(51)Int.Cl.

G09F 9/313

G09G 3/28

H01J 11/02

H01J 17/04

(21)Application number : 09-221297

(71)Applicant : NEC CORP

(22)Date of filing : 18.08.1997

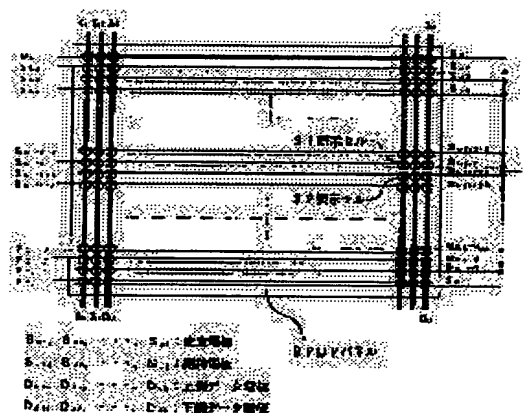
(72)Inventor : IZEKI YUKITERU

(54) PLASMA DISPLAY PANEL AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To expand the tolerance of a position shift between the back plate and front plate of the plasma display panel having its data electrodes divided into upper and lower parts.

SOLUTION: In the upper half display cell where upper data electrodes Du2, Du2...Duk are arranged, scanning electrodes Sc1, Sc2...Sci/2 are arranged on the upper side and maintenance electrodes Su1, Su2...Suj/2 are arranged on the lower side. In the lower half display cell where lower data electrodes Dd1, Dd2...Ddk are arranged, maintenance electrodes Sui/2+1, Su1/2+2 Suj are arranged on the lower side and scanning electrodes Sci/2+1 Scj/2+2...Scj are arranged on the lower side. Here, only the bottom display cell 31 of the upper half and the top display cell 32 of the lower half which are adjacent to the division part of the data electrodes may be placed in the array order of the scanning electrodes and maintenance electrodes like this.



LEGAL STATUS

[Date of request for examination] 18.08.1997

[Date of sending the examiner's decision of rejection] 13.04.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-65486

(43) 公開日 平成11年(1999) 3月5日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 F 9/313

G 0 9 F 9/313

Z

G 0 9 G 3/28

G 0 9 G 3/28

J

H 0 1 J 11/02

H 0 1 J 11/02

B

17/04

17/04

審査請求 有 請求項の数 5 O L (全 16 頁)

(21) 出願番号 特願平9-221297

(22) 出願日 平成9年(1997) 8月18日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 伊関 幸輝

東京都港区芝五丁目7番1号 日本電気株式会社内

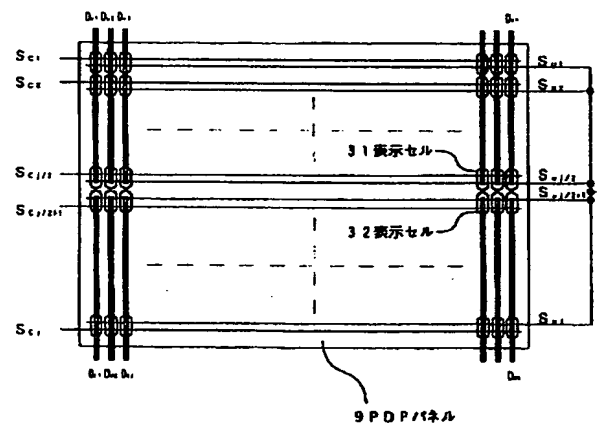
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 プラズマディスプレイパネルおよびその駆動方法

(57) 【要約】

【目的】 データ電極を上下に分割したプラズマディスプレイパネルにおいて、背面板と前面板との位置ずれ許容範囲を拡大する。

【構成】 上側データ電極 D_{u1} 、 D_{u2} 、 \dots 、 D_{uk} が配置される上半分の表示セルでは、表示セル内の上側に走査電極 S_{c1} 、 S_{c2} 、 \dots 、 $S_{cj/2}$ が配置され、下側に維持電極 S_{u1} 、 S_{u2} 、 \dots 、 $S_{uj/2}$ が配置される。一方、下側データ電極 D_{d1} 、 D_{d2} 、 \dots 、 D_{dk} が配置される下半分の表示セルでは、表示セル内の上側に維持電極 $S_{uj/2+1}$ 、 $S_{uj/2+2}$ 、 \dots 、 S_{uj} が配置され、下側に走査電極 $S_{cj/2+1}$ 、 $S_{cj/2+2}$ 、 \dots 、 S_{cj} が配置される。このような走査電極と維持電極の配列順序にするのはデータ電極の分割部に隣接する、上側半分の一番下の表示セル31と下側半分の一番上の表示セル32だけでもよい。



S_{c1} , S_{c2} , \dots , S_{cj} : 走査電極

S_{u1} , S_{u2} , \dots , S_{uj} : 維持電極

D_{u1} , D_{u2} , \dots , D_{uk} : 上側データ電極

D_{d1} , D_{d2} , \dots , D_{dk} : 下側データ電極

【特許請求の範囲】

【請求項1】 複数の走査電極と、前記複数の走査電極の各々と対をなしこれと平行にかつ同一平面上に形成された複数の維持電極と、前記複数の走査電極および維持電極とは異なる平面上にかつこれらと直交する方向に形成された複数のデータ電極とを有し、前記走査電極および維持電極と前記データ電極の交差する領域に隔壁によって区画された表示セルが構成されるプラズマディスプレイパネルにおいて、前記複数のデータ電極が表示領域内で電気的に2つに分断されており、前記分断された境界に隣接する表示セルの維持電極は前記分断された境界に近い側に配置され、該表示セルの走査電極は前記分断された境界に遠い側に配置されていることを特徴とするプラズマディスプレイパネル。

【請求項2】 分断された前記データ電極の同じ側に配置されている表示セルに関しては、走査電極に対して維持電極は同じ側に配置されていることを特徴とする請求項1記載のプラズマディスプレイパネル。

【請求項3】 分断された前記データ電極間の距離は、分断線に隣接する表示セルに配置された走査電極と走査電極の敷設方向と平行な隔壁までの距離のうちの大きい方 (G_{min}) から、その表示セル内において走査電極とデータ電極との間での放電開始電圧を低く保持できる最小オフセット長さ (L_0) を減じた値以上であることを特徴とする請求項1記載のプラズマディスプレイパネル。

【請求項4】 分断された前記データ電極間の距離は、分断線を挟んでこれと隣接する2つの表示セルに配置された走査電極間の距離 (W) から、その表示セル内において走査電極とデータ電極との間での放電開始電圧を低く保持できる最小オフセット長さ (L_0) の2倍を減じた値以下であることを特徴とする請求項1記載のプラズマディスプレイパネル。

【請求項5】 複数の走査電極と、前記複数の走査電極の各々と対をなしこれと平行にかつ同一平面上に形成された複数の維持電極と、前記複数の走査電極および維持電極とは異なる平面上にかつこれらと直交する方向に形成された複数のデータ電極とを有し、前記走査電極および維持電極と前記データ電極の交差する領域にそれぞれ表示セルが構成され、かつ、前記複数のデータ電極が表示領域内で電気的に2つに分断され、その分断線を挟んで各表示線の維持電極が内側に走査電極が外側に配置されているプラズマディスプレイパネルの駆動方法であって、前記分断されたデータ電極の一方が配置される表示領域の書き込み放電期間と、前記分断された他方のデータ電極が配置される表示領域の書き込み放電期間とが同時であり、かつ、前記分断されたデータ電極の一方が配置される表示領域の各走査電極の走査方向と、前記分断された他方のデータ電極が配置される表示領域の各走査電極の走査方向が逆方向であることを特徴とするプラズ

マディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はプラズマディスプレイパネルおよびその駆動方法に関し、特に3電極型プラズマディスプレイパネルの構造およびその書き込み放電時の走査方法に関するものである。

【0002】

【従来の技術】 プラズマディスプレイパネル (PDP) は、薄型構造でちらつきがなく表示コントラスト比が大きく、また比較的大画面が可能で応答速度が速く自発光型で蛍光体の利用により多色発光可能である等の多くの特徴を有しているので、近年、コンピュータ関連の表示装置の分野やカラー画像表示装置の分野に広く用いられるようになってきている。このようなPDPには、パネル構造の違いにより、電極が誘電体で被覆され間接的に交流放電の状態で作動させる交流放電 (AC) 型と、電極が放電空間に露出して直流放電の状態で作動させる直流放電 (DC) 型とがある。一般的に、AC型は電極が誘電体で保護されているので、電極が放電セル内のイオンによる衝撃で劣化することがなく、DC型に比べて寿命が長いと言われている。また、AC型は、駆動方式として放電セルのメモリを利用するメモリ動作型とそれを利用しないリフレッシュ動作型とがある。ところで、AC型PDPにおける輝度は放電回数により制御する。すなわちバルス電圧の印加回数の増減により輝度も増減する。従って、放電回数を走査線数にかかわらず任意に設定できるメモリ型はリフレッシュ型に比べて輝度を高くすることができるので、大画面ディスプレイに適している。一方、メモリ機能を持たないリフレッシュ型では表示容量が大きくなるほど走査ラインでの表示時間が減少し放電回数も減少するので、輝度を高く保持できなくなる。そこで、リフレッシュ型は小表示容量のパネルに主に使用されている。

【0003】 ACメモリ型PDPでは、主 (維持) 放電を同一面上の平行する2電極間で行い、主放電に用いた一方の電極と、その電極と直交し、かつ放電空間を挟んだ異なる面上に配置された電極とで対向 (書き込み) 放電を行う3電極型が一般的である。図8にそのようなPDPの一つの表示セルの断面構造を示す。このPDPは、ガラスより成る前面板19およびこれに对面配置された背面板11と、前面板19上に表示セル毎に平行に形成された走査電極17および維持電極18と、それらの走査電極17および維持電極18と直交して背面板11上に形成されたデータ電極12と、ヘリウム、ネオン、キセノン等あるいはそれらの混合ガスからなる放電ガスが充填される放電ガス空間21と、放電ガス空間を確保するとともに表示セルを区画するための隔壁20と、上記放電ガスの放電により発光する紫外線を可視光に変換する蛍光体膜14と、走査電極17および維持電

極18を覆う誘電体材料からなる誘電体膜16と、この誘電体膜を放電から保護する酸化マグネシウム等からなる保護膜15と、データ電極12を覆う誘電体膜13とを備えている。

【0004】次に、選択された表示セルの放電動作について説明する。走査電極17とデータ電極12との間に放電閾値を越えるパルス電圧（放電開始電圧）を印加し放電を開始させると、上記パルスの極性に対応して正負の電荷が両側の誘電体膜13、16の表面に吸引され電荷の堆積が起こる。この電荷の堆積に起因する等価的な内部電圧すなわち壁電圧は上記パルス電圧と逆極性となるため、上記放電の成長とともにセル内部の実効電圧が低下し、上記パルス電圧が一定値を保持していても放電が維持できずついには停止する。このあと走査電極17と、これに隣接する維持電極18との間に上記壁電圧と同極性のパルス電圧である維持パルスが印加されると、壁電圧が実効電圧として重畳されるため維持パルスの電圧振幅が低くても放電閾値を越えて放電することができる。したがって、維持パルスを走査電極17と維持電極18との間に交互に印加し続けることにより放電を維持できる。この機能が上述のメモリ機能である。また、走査電極17または維持電極18に上記壁電圧を中和するような大きさおよび幅の低電圧のパルス電圧である消去パルスを印加することにより、上記放電を停止させることができる。

【0005】表示セルを $j \times k$ 個の行、列からなるマトリクス状に配列したドットマトリクス表示用のPDPパネル9の電極配置に着目した構成を図9に示す。この図に示すPDPパネル9は互いに平行に配列された走査電極 S_{c1} 、 S_{c2} 、 \dots 、 S_{cj} および維持電極 S_{u1} 、 S_{u2} 、 \dots 、 S_{uj} と、これら走査電極および維持電極と直交して配列されたデータ電極 D_{a1} 、 D_{a2} 、 \dots 、 D_{ak} とを備え、その交差位置に表示セル23が構成される。ここで、蛍光体膜14をRGBの3色に塗り分けることにより、カラー表示可能なPDPを得ることができる。図10は、上述した駆動方法を基本として、更に階調表示を行うために、1フレームを複数のサブフィールド（6サブフィールド： $SF1 \sim SF6$ ）に分割した駆動方法のタイミングチャートである。この駆動方法の各サブフィールドにおいては、まず、全表示セルを同時に予備放電させる予備放電期間Aがあり、続いて全表示セルを同時に消去する予備放電消去期間Bが存在する。その後の書き込み放電期間Cにおいては、走査電極 S_{c1} から S_{cj} まで線順次に走査パルスを印加する。書き込み放電期間Cの斜線上が各走査電極の書き込みタイミングである。最終の走査電極 S_{cj} の書き込みが終了した後、選択された表示セルを維持放電期間（ $D1$ 、 $D2$ 、 \dots 、 $D6$ ）において同時に維持放電させる。各サブフィールドの維持放電期間を各々 T 、 $T/2$ 、 $T/4$ 、 $T/8$ 、 $T/16$ 、 $T/32$ の時間配分として各サブフィールドの発光輝度を 2^n

で重み付けしておき、これらの組み合わせにより、階調表示（64階調= 2^6 ）を行う。

【0006】図11に、上述した駆動方法の1サブフィールド期間の駆動電圧波形の一例を示す。維持電極 S_{u1} 、 S_{u2} 、 \dots 、 S_{uj} に印加される共通の維持電極駆動波形COMと、走査電極 S_{c1} 、 S_{c2} 、 \dots 、 S_{cj} に印加される走査電極駆動波形 S_1 、 S_2 、 \dots 、 S_j と、データ電極 D_{ai} （ $1 \leq i \leq k$ ）に印加されるデータ電極駆動波形DATAとを示す。予備放電期間Aに印加する予備放電パルス24および予備放電消去期間Bに印加する予備放電消去パルス25は、放電ガス空間内に活性粒子および壁電荷を生成し、続く書き込み放電の反応速度を高めるものである。書き込み放電期間Cでは、走査電極 S_{c1} 、 S_{c2} 、 \dots 、 S_{cj} にそれぞれ走査パルス26をシークエンシャルに印加していき、線順次に書き込み放電を行う。走査パルス26とデータパルス29が同時に印加されると書き込み放電が行われ、維持放電につながる壁電荷が形成される。書き込み放電が行われた表示セルでは維持放電期間Dで維持パルス27、28により、走査電極と維持電極との間で放電が反復され点灯を持続する。

【0007】前述したプラズマディスプレイの駆動方法においては、特にプラズマディスプレイパネルの高精細化に伴う走査電極数の増加や多サブフィールド化に伴う書き込み放電期間の増加、更にフレーム周波数増加に伴う1フレーム時間の短縮化によって、書き込み時間不足が生じることとなる。すなわち、走査パルス幅 T_w 、走査線数 L_n 、サブフィールド数 S_f 、フレーム周波数 f とすると、全書き込み時間は、
全書き込み時間 $= T_w \times L_n \times S_f$ 。

与えられ、これが

$$1/f \geq \text{全書き込み時間} + T\alpha$$

（ $T\alpha = \text{予備放電期間} + \text{予備放電消去期間} + \text{維持放電期間}$ ）

を満たす必要があるからである。また、走査線数、サブフィールド数が増加するほど書き込み時間は増加し、フレーム周波数が増加するほど1フレーム時間が短縮するので、上式の $T\alpha$ の期間が圧迫される。すなわち維持放電期間が短くなって、十分な発光輝度が得られなくなる。そのため、サブフィールド数を減らし、階調数を低減させるなどの性能低下を余儀なくされる。

【0008】そこで従来は、「Panel Design and Driving Method of 40-in. Diagonal AC Plasma Displays」: M. Uchidoi et al. (IDW'96 pp. 291-294) に示されるようにデータ電極を画面の中央部で上下に分割し、上下の走査ブロックを同時走査することにより全書き込み時間を半減し、輝度低下させることなく、走査線数、サブフィールド数、フレーム周波数の増加に対応できる手法が

採られていた。この従来技術を、プラズマディスプレイパネルの電極配置を示す概略平面図である図12を参照して説明する。データ電極を上側データ電極(D_{u1} 、 D_{u2} 、 \dots 、 D_{uk})と下側データ電極(D_{d1} 、 D_{d2} 、 \dots 、 D_{dk})に分割する。上側データ電極(12a)が配置される表示セル31では、表示セル31内の上側に走査電極 S_{c1} 、 S_{c2} 、 \dots 、 $S_{cj/2}$ を配置し、下側に共通電極 S_{u1} 、 S_{u2} 、 \dots 、 $S_{uj/2}$ を配置する。同様に、下側データ電極(12b)が配置される表示セル32においても、上側に走査電極 $S_{cj/2+1}$ 、 $S_{cj/2+2}$ 、 \dots 、 S_{cj} を配置し、下側に共通電極 $S_{uj/2+1}$ 、 $S_{uj/2+2}$ 、 \dots 、 S_{uj} を配置する。

【0009】その駆動方法の一例を図13の1サブフィールド期間の駆動電圧波形により示す。1サブフィールドは図11で示した従来の駆動方法と同様に、予備放電期間A、予備放電消去期間B、書き込み放電期間C、維持放電期間Dで構成される。データ電極を上下分割したことにより、図13に示すように書き込み放電期間Cにおいて、上側データ電極(12a)が配置されている走査電極($S_{c1} \sim S_{cj/2}$)ブロックと下側データ電極(12b)が配置されている走査電極($S_{cj/2+1} \sim S_{cj}$)ブロックに同時に走査パルス26を印加する。走査電極($S_{c1} \sim S_{cj/2}$)に印加される走査パルス26は走査電極 S_{c1} から走査電極 $S_{cj/2}$ へ順次走査され、上側データ電極に印加されるデータパルス29との間で書き込み放電を行う。走査電極($S_{cj/2+1} \sim S_{cj}$)に印加される走査パルス26は走査電極 $S_{cj/2+1}$ から走査電極 S_{cj} へ順次走査され、下側データ電極に印加されるデータパルス30との間で書き込み放電を行う。これにより、上下ブロックにおいて同時に順次走査が可能となり、書き込み放電を従来の半分の時間で行えるようになる。図14に、上述した駆動を基本として、さらに階調表示を行うために、1フレームを複数のサブフィールド(6サブフィールド: SF1~SF6)に分割した駆動方法のタイミングチャートを示す。

【0010】しかしながら、この従来技術では、データ電極をプラズマディスプレイパネル内で上下に分割したことにより、データ電極の分割部分においてパネル製造上の精度の高さが要求されることとなる。データ電極をパネル内部で分割しない場合は、全ての走査電極においてデータ電極と同等の面積だけオーバーラップしているので、どの走査電極を選択してもほぼ等しい書き込み放電特性が得られていたが、データ電極を上下分割した場合は、前面板と背面板を組み立てたときの位置ずれによって、データ電極と走査電極との位置ずれも生じて電極のオーバーラップ面積が減少したり、隣接する表示セルまで電極がはみ出したりして、書き込みの放電電圧の上昇や誤書き込み放電が起こってしまうからである。次に、この位置ずれが発生した場合の放電開始電圧特性について図15を用いて説明する。

【0011】図15(b)は走査電極に対するデータ電極端位置(Y方向)の変化と放電開始電圧の関係を定性的に示した放電開始電圧特性グラフである。 Y_0 、 Y_1 、 Y_2 、 Y_3 は図15(a)のセル拡大図に示した、データ電極12の先端部の位置である。図15(b)によれば、走査電極とデータ電極の重なり部分が増加すると放電開始電圧が低下していき、書き込み放電が起こりやすくなっていることがわかる。しかし、データ電極12の先端部が両電極の重なり部が最大となる Y_2 を越えると放電開始電圧の低下の程度は低くなり、 Y_3 を越えると最早放電開始電圧は低下しなくなる。すなわち、 $Y_3 - Y_2$ が、最低の放電開始電圧(安定領域の放電開始電圧)を得るためのデータ電極の最小のオフセット量となる。次に、前面板と背面板の位置ずれと放電開始電圧の関係について、従来技術におけるデータ電極分割部の拡大図である図16を参照して説明する。上側データ電極12aは走査電極 $S_{cj/2}$ と、下側データ電極12bは走査電極 $S_{cj/2+1}$ とオーバーラップするように配置されている。このとき、上側データ電極12aが走査電極からはみ出しているオフセット長さを L_1 、下側データ電極12bが走査電極からはみ出しているオフセット距離を L_2 とする。また、走査電極 $S_{cj/2}$ と走査電極 $S_{cj/2+1}$ との電極間距離を W' とする。

【0012】図16(a)は、放電開始電圧が安定領域となるようにデータ電極端位置を図15の Y_3 の位置と同様に、走査電極 $S_{cj/2}$ および走査電極 $S_{cj/2+1}$ と上側データ電極12aおよび下側データ電極12bとが最小のオフセット量でオーバーラップした状態を示す。このときのデータ電極が走査電極位置からはみ出したオフセット量を L_0 ($=L_1 = L_2$)とする。但し、データ電極の走査電極からのオフセット量をこのように設定すると、前面板と背面板との上下方向のずれに対する許容範囲がなくなってしまう。図16(b)は、前面板と背面板の上下方向のずれに対する許容範囲を得るために、走査電極 $S_{cj/2}$ と上側データ電極12aの重なり具合を放電開始電圧が低く安定する位置($L_0 = L_1$)に保持したままで、下側データ電極12bの端を表示セル31に配置された走査電極 $S_{cj/2}$ と誤書き込み放電を起こさない限界位置まで伸ばしたものである。このときの下側データ電極12bのオフセット量を $L_2 = X' + L_0$ とする。また、このときの走査電極 $S_{cj/2}$ と下側データ電極12bの端までの距離は誤書き込み放電を起こさないための最小距離となる。これを G_{min} とする。

【0013】図16(c)は、図16(b)に示すデータ電極間距離を持つディスプレイパネルにおいて、データ電極の配置されている背面板が下方向へずれた場合の状態を示す。図16(d)は、さらに背面板が下方向にずれた場合であり、走査電極 $S_{cj/2+1}$ と下側データ電極12bが放電開始電圧を低く保持できる限界位置($L_2 = L_0$)に達した場合を示す。このとき、上側データ電

極12aのオフセット量 L_1 は、 $L_1 = X' + L_0$ となる。したがって、図16(b)と図16(d)のデータ電極のずれ量 X' が放電開始電圧を低く保持できる組立ずれ許容範囲となる。つまり、 $X' = W' - (L_0 + G_{min})$ で、組立許容範囲が規定される。

【0014】

【発明が解決しようとする課題】以上のように、データ電極をプラズマディスプレイパネル内で上下に分割した場合には、データ電極を上下分割した境界での電極配置に関し、前面板と背面板の組み立てによる位置ずれ許容範囲が小さくなっており、前面板と背面板が大きめにずれると、走査電極とデータ電極にもずれが生じ、データ電極を分割した境界に隣接する表示セルにおいて書き込み放電電圧の上昇や、隣の表示セルの電極に関係した誤書き込み放電を起こしていた。

【0015】本発明の解決すべき課題は、データ電極を分割したパネルに関し、データ電極配置の許容範囲を大きくし、前面板と背面板を組み立てる際に、若干大きめに位置ずれが生じても、書き込み放電電圧の上昇や誤書き込み放電を起こさないプラズマディスプレイパネルを提供できるようにすることである。

【0016】

【課題を解決するための手段】上述した本発明の課題は、複数の走査電極と、これと対をなしこれと平行に同一平面上に形成される複数の維持電極と、前記複数の走査電極および維持電極と異なる平面で且つ直交する方向に形成された複数のデータ電極を有し、前記走査電極および維持電極と前記データ電極の交差する領域に表示セルが構成され、データ電極が表示面内において上下2つに分割されているプラズマディスプレイパネルにおいて、データ電極の分割線を挟む上下2行の表示セルに関し、維持電極を内側に、走査電極を外側に配置するようにすることにより、解決することができる。

【0017】

【発明の実施の形態】本発明によるプラズマディスプレイパネルは、複数の走査電極と、前記複数の走査電極の各々と対をなしこれと平行にかつ同一平面上に形成された複数の維持電極と、前記複数の走査電極および維持電極とは異なる平面上にかつ直交する方向に形成された複数のデータ電極を有し、前記走査電極および維持電極と前記データ電極の交差する領域に隔壁によって区画された表示セルが構成されるものであって、前記複数のデータ電極が表示領域内で電氣的に2つに分断されており、前記分断された境界に隣接する表示セルの維持電極は前記分断された境界に近い側に配置され、該表示セルの走査電極は前記分断された境界に遠い側に配置されていることを特徴とするものである。

【0018】また、その駆動方法は、分断されたデータ電極の一方が配置される表示領域の書き込み放電期間

と、分断された他方のデータ電極が配置される表示領域の書き込み放電期間を同時とするものである。そして、さらに、分断されたデータ電極の一方が配置される表示領域の各走査電極の走査方向と、分断された他方のデータ電極が配置される表示領域の各走査電極の走査方向が逆方向になされる。

【0019】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【第1の実施例】図1は、本発明の第1の実施例のプラズマディスプレイパネルの電極配置を示す全体構成図である。データ電極を表示領域内で分割した構造であり、本実施例では、データ電極が上下方向に伸びた構造であるので、分割部を境に上側のデータ電極を上側データ電極(12a)とし、下側のデータ電極を下側データ電極(12b)として説明を行う。上側データ電極 D_{u1} 、 D_{u2} 、…、 D_{uk} が配置される上半分の表示セル31では、表示セル31内の上側に走査電極 S_{c1} 、 S_{c2} 、…、 $S_{cj/2}$ が配置され、下側に維持電極 S_{u1} 、 S_{u2} 、…、 $S_{uj/2}$ が配置される。一方、下側データ電極 D_{d1} 、 D_{d2} 、…、 D_{dk} が配置される下半分の表示セル32では、表示セル32内の上側に維持電極 $S_{uj/2+1}$ 、 $S_{uj/2+2}$ 、…、 S_{uj} が配置され、下側に走査電極 $S_{cj/2+1}$ 、 $S_{cj/2+2}$ 、…、 S_{cj} が配置される。

【0020】図2は、データ電極分割部の部分拡大平面図とそのA-A'線での断面図である。同図に示されるように、背面板11上に上側データ電極12aと下側データ電極12bとが形成され、前面板19上に走査電極と維持電極とが形成されており、背面板11と前面板19とは隔壁20を隔てて対面配置されている。分割されるデータ電極の末端は、放電開始電圧を低く保つために、表示セル31(上側データ電極が配置される一番下のセル)では、上側データ電極12aと走査電極 $S_{cj/2}$ を、表示セル32(下側データ電極が配置される一番上のセル)では、下側データ電極12bと走査電極 $S_{cj/2+1}$ をオーバーラップさせるようにかつ誤書き込み放電を起こさせないように配置する必要がある。そこで、本実施例における前面板と背面板の位置ずれと放電開始電圧の関係を図3を用いて説明する。図3において、上側データ電極12aが走査電極からはみ出しているオフセット長さを L_1 、下側データ電極12bが走査電極からはみ出しているオフセット長さを L_2 とする。また、走査電極 $S_{cj/2}$ と走査電極 $S_{cj/2+1}$ との電極間距離を W とする。

【0021】図3(a)は、放電開始電圧が安定領域となるようにデータ電極端位置を、図15のY3の位置と同様に、走査電極 $S_{cj/2}$ と上側データ電極12aおよび走査電極 $S_{cj/2+1}$ と下側データ電極12bとが最小のオフセット量をもってオーバーラップしたものである。このときのデータ電極が走査電極位置からはみ出したオフ

セット長さを L_0 ($=L_1=L_2$)とする。但し、データ電極のオフセット量をこのように設定すると、前面板と背面板との上下方向のずれに対する許容範囲がなくなってしまう。図3(b)は、前面板と背面板の上下方向のずれに対する許容範囲を得るために、走査電極 $S_{cj/2}$ と上側データ電極12aの重なり具合を放電開始電圧が低く安定する位置($L_0=L_1$)に保持したままで、下側データ電極12bの端を表示セル31に配置された走査電極 $S_{cj/2}$ と誤書き込み放電を起こさない限界位置まで伸ばしたものである。このときのデータ電極のオフセット量を $L_2=X+L_0$ とする。また、このとき走査電極 $S_{cj/2}$ と下側データ電極12bの端までの距離は誤書き込み放電を起こさせないための最小距離である G_{min} となる。

【0022】図3(c)は、図3(b)のデータ電極配置条件のパネルにおいて、データ電極の配置されている背面板が下方向へずれた場合を示す。図3(d)は、さらに背面板が下方向にずれた場合であり、走査電極 $S_{cj/2+1}$ と下側データ電極12bが放電開始電圧を低く保持できる限界位置($L_2=L_0$)に達した場合である。このとき上側データ電極12aのオフセット量は $L_1=X+L_0$ となる。したがって、図3(b)と図3(d)で示すデータ電極のずれ量 X が放電開始電圧を低く保持できる組立ずれ許容範囲となる。すなわち、

$$X=W-(L_0+G_{min})$$

で、組立許容範囲を規定できる。ここで、本発明の図3と従来技術の図16を走査電極と維持電極の配置以外の構造を等しいとして比較すると、

$$(L_0+G_{min})=\text{定数}$$

$$W>W'$$

であるので、

$$X>X'$$

となる。従って、本発明により、従来技術に比べて組立ずれ許容範囲を拡大できたことになる。

【0023】次に、本発明の実施例に係るプラズマディスプレイパネルの第1の駆動方法でのパルスタイミングを図4に示す。1サブフィールドは従来例の場合と同様に予備放電期間A、予備放電消去期間B、書き込み放電期間C、維持放電期間Dで構成されるが、書き込み放電期間Cでの走査パルスの印加順序が異なる。上側データ電極12aが配置される走査電極($S_{c1} \sim S_{cj/2}$)ブロックでは走査パルス26を走査電極 S_{c1} から走査電極 $S_{cj/2}$ へ走査し、下側データ電極12bが配置される走査電極($S_{cj/2+1} \sim S_{cj}$)ブロックでは走査パルス26を走査電極 S_{cj} から走査電極 $S_{cj/2+1}$ へ走査する。このとき走査電極 S_{c1} と S_{cj} に走査パルス26を同時に印加し、走査電極 S_{c1} 上の走査パルス26は上側データ電極12aのデータパルス29との間で書き込み放電を、走査電極 S_{cj} 上の走査パルス26は下側データ電極12bのデータパルス30との間で書き込み放電を行なう。そ

の次に走査電極 S_{c2} と S_{cj-1} に同時に走査パルス26を印加して書き込み放電を行い、以下順次に走査パルス印加電極をシフトさせ、最後に走査電極 $S_{cj/2}$ と $S_{cj/2+1}$ に同時に走査パルス26を印加して書き込み放電を行い、書き込み放電期間を終了する。この方法により、上側ブロックと下側ブロックでの走査方向と電極配置の関係を同一にできるため、書き込み放電特性を揃えることができる。図5は、上述した図4の駆動方法を基本として、さらに階調表示を行なうために、1フレームを複数のサブフィールド(6サブフィールド:SF1~SF6)に分割した駆動方法の一例を示すタイミングチャートであり、書き込み放電期間Cの斜線が各走査電極の書き込みタイミングを示す。

【0024】図6は、本発明の実施例に係るプラズマディスプレイパネルの第2の駆動方法を示すタイミングチャートである。図5と同様に書き込み放電期間Cの斜線が各走査電極の書き込みタイミングを示すが、書き込み放電期間Cでの走査方向が第1の駆動方法と反対になっている。つまり、上側の走査ブロックでは走査パルス26を走査電極 $S_{cj/2}$ から走査電極 S_{c1} へ走査し、下側の走査ブロックでは走査パルス26を走査電極 $S_{cj/2+1}$ から走査電極 S_{cj} へ走査する。この駆動方法においても走査方向と電極配置の関係を上下ブロックで同一にでき、書き込み放電特性を揃えることが可能である。しかし、走査方向と電極配置の違いによる書き込み特性の差が小さければ、図14に示す従来の駆動方法を用いてもよい。

【0025】[第2の実施例]図7は、本発明の第2の実施例のプラズマディスプレイパネルの電極配置を示す全体構成図である。本実施例の構造は、上側に維持電極、下側に走査電極を配置した表示セルと上側に走査電極、下側に維持電極を配置した表示セルとを交互に配列したものである。更に、データ電極を上下に分割する境界では、その境界に隣接する上側の表示セル31では上側に走査電極、下側に維持電極を配置し、その境界に隣接する下側の表示セル32では上側に維持電極、下側に走査電極を配置する。データ電極を上下分割した境界に隣接する表示セルの電極配置は第1の実施例と同様であり、組立許容範囲も同じように確保できるので、従来技術より組立許容範囲を拡大することができる。尚、本実施例のプラズマディスプレイパネルにおいても、図5、図6、図14に示したいずれの駆動方法も用いることができる。

【0026】以上、本発明のプラズマディスプレイパネルを説明したが、少なくともデータ電極を上下に分割した境界部と隣接する表示セルにおいて、境界に近い側に維持電極、遠い側に走査電極となるよう配置してあれば、本発明の効果を達成することができ、その他の表示セルにおける走査電極と維持電極の配列は第1または第2の実施例と同一である必要はない。

【0027】

【発明の効果】以上説明したように、本発明のプラズマディスプレイパネルは、データ電極を上下2つに分割し、分割部に隣接する表示セルにおいて、分割部に近い側に維持電極を、遠い側に走査電極を配置したものである。前記前面板と背面板の位置ずれ許容範囲を広げることができ、前面板と背面板を組み立てる際に、若干大きめに位置ずれが生じて、書き込み放電に必要な放電開始電圧の上昇や誤書き込み放電を起こさないようにすることができる。また、走査電極と維持電極をデータ電極の分割部を境にして対称的に配置したパネルについては、走査電極の走査方向をパネルの上ブロックと下ブロックとで逆にするにより、上・下ブロックでの書き込み放電特性を揃えることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のプラズマディスプレイパネルの電極配置を示した概略平面図。

【図2】本発明の第1の実施例のデータ電極分割部の表示セルの部分拡大平面図とそのA-A'線での断面図。

【図3】本発明の第1の実施例における走査電極とデータ電極の位置合わせ精度についての説明図。

【図4】本発明の第1の実施例の第1の駆動方法を説明するための駆動パルス波形図。

【図5】本発明の第1の実施例の第1の駆動方法を説明するためのタイミングチャート。

【図6】本発明の第1の実施例の第2の駆動方法を説明するためのタイミングチャート。

【図7】本発明の第2の実施例のプラズマディスプレイパネルの電極配置を示した概略平面図。

【図8】プラズマディスプレイパネルの表示セルの断面図。

【図9】従来のプラズマディスプレイパネルの電極配置を示した概略平面図。

【図10】従来例の駆動方法を示すタイミングチャート。

【図11】従来例の駆動方法を示す駆動パルス波形図。

【図12】他の従来例の電極配置を示した概略平面図。

【図13】他の従来例の駆動方法を示す駆動パルス波形図。

【図14】他の従来例の駆動方法を示すタイミングチャート。

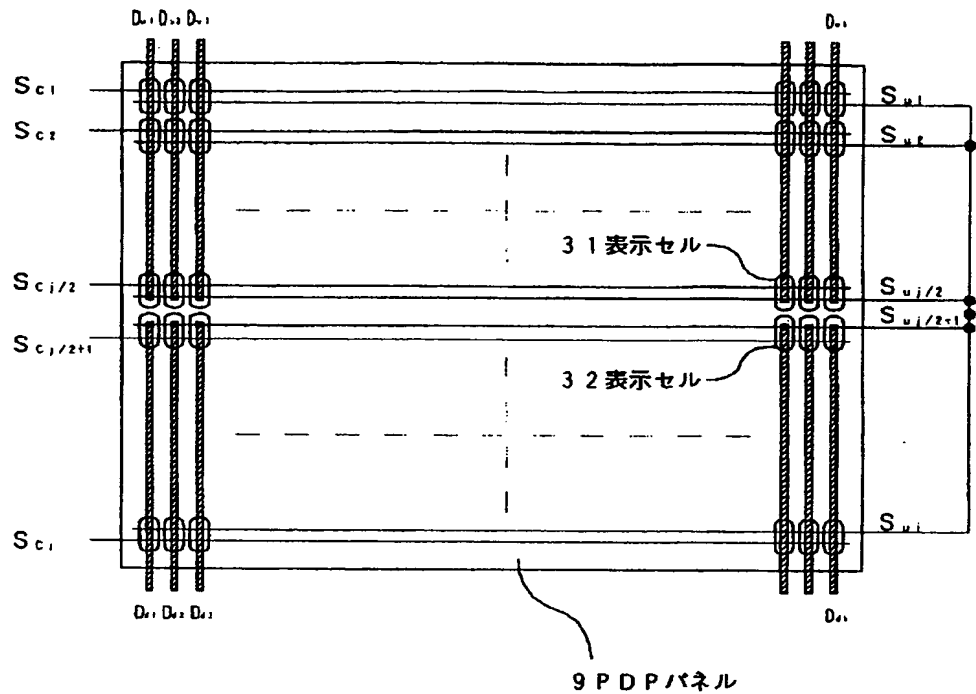
【図15】放電開始電圧とデータ電極と走査電極との位置関係を説明するための電極配置図と特性図。

【図16】他の従来例における走査電極とデータ電極の位置合わせ精度についての説明図。

【符号の説明】

- A 予備放電期間
- B 予備放電消去期間
- C 書き込み放電期間
- D、D1～D6 維持放電期間
- S_{c1}～S_{cj} 走査電極
- S_{u1}～S_{uj} 維持電極
- D_{a1}～D_{ak} データ電極
- D_{u1}～D_{uk} 上側データ電極
- D_{d1}～D_{dk} 下側データ電極
- S1～Sj 走査電極駆動波形
- COM 維持電極駆動波形
- DATA、DATAU、DATAD データ電極駆動波形
- SF1～SF6 サブフィールド
- 9 PDPパネル
- 11 背面板
- 12、12a、12b データ電極
- 13、16 誘電体膜
- 14 蛍光体膜
- 15 保護膜
- 17 走査電極
- 18 維持電極
- 19 前面板
- 20 隔壁
- 21 放電ガス空間
- 23、31、32 表示セル
- 24 予備放電パルス
- 25 予備放電消去パルス
- 26 走査パルス
- 27、28 維持パルス
- 29、30 データパルス

【図1】



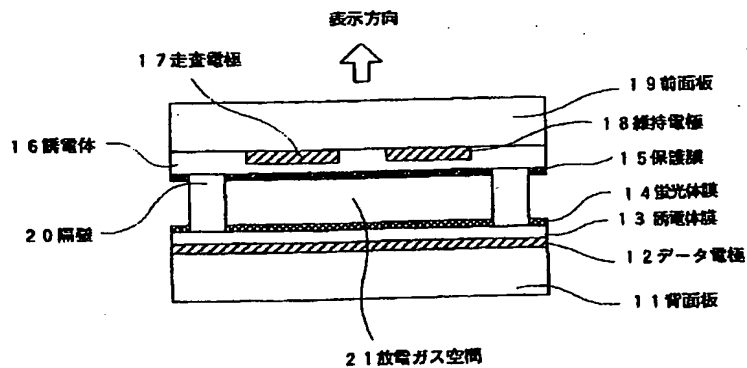
$S_{c1}, S_{c2}, \dots, S_{cj}$: 走査電極

$S_{u1}, S_{u2}, \dots, S_{uj}$: 維持電極

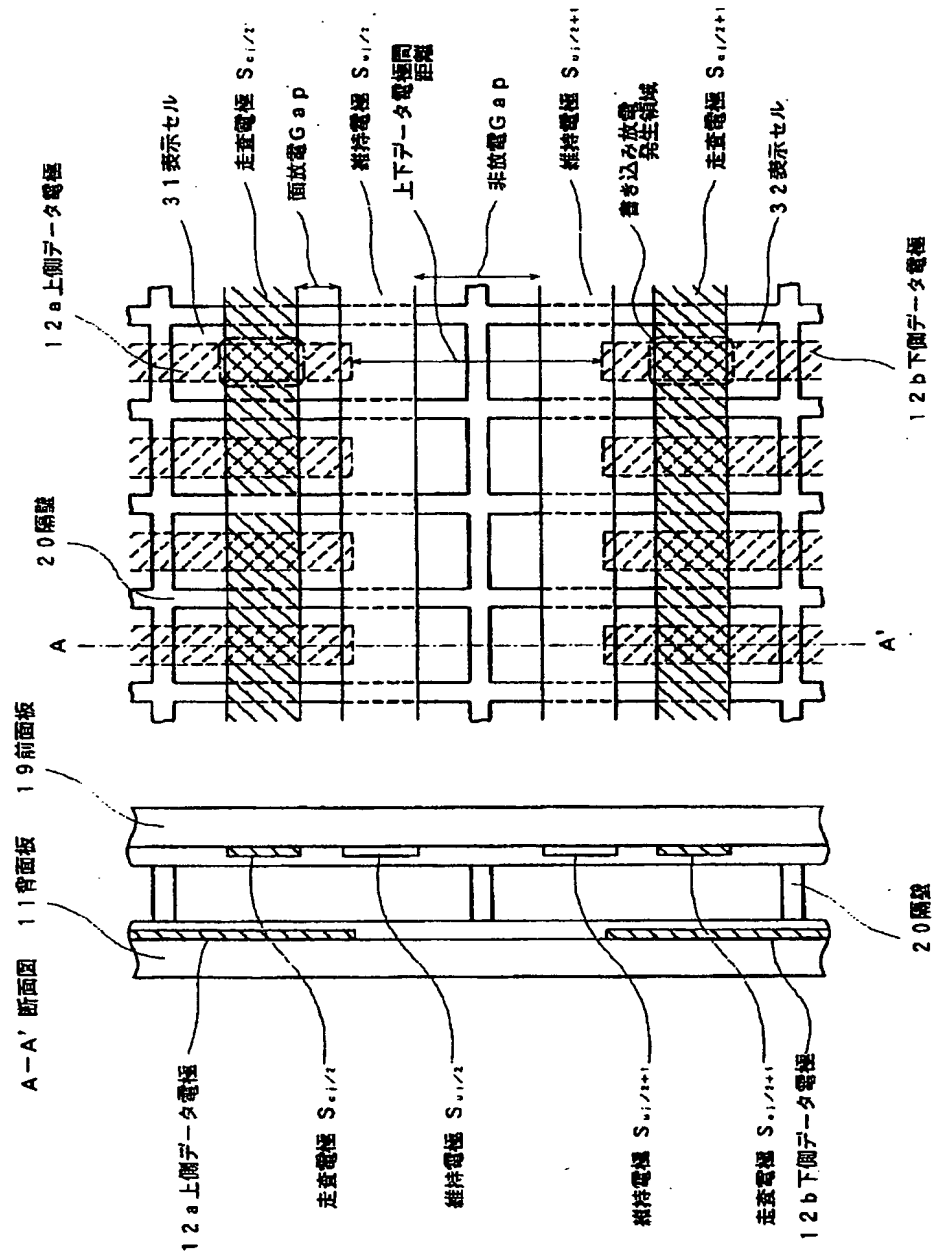
$D_{u1}, D_{u2}, \dots, D_{uk}$: 上側データ電極

$D_{d1}, D_{d2}, \dots, D_{dk}$: 下側データ電極

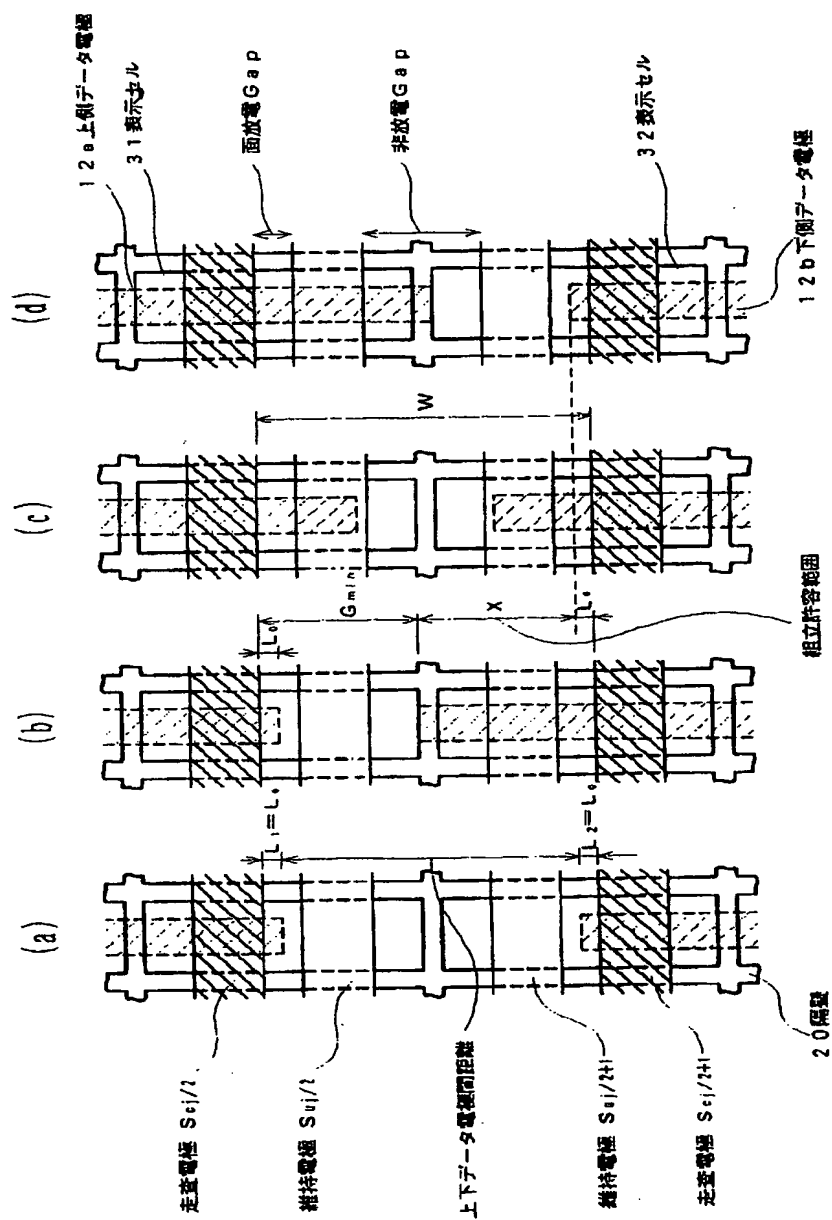
【図8】



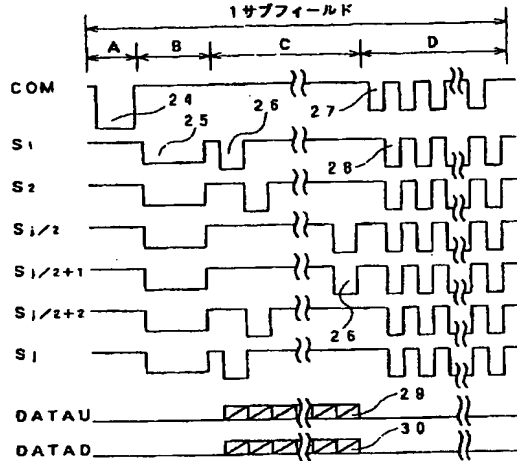
【図2】



【図3】

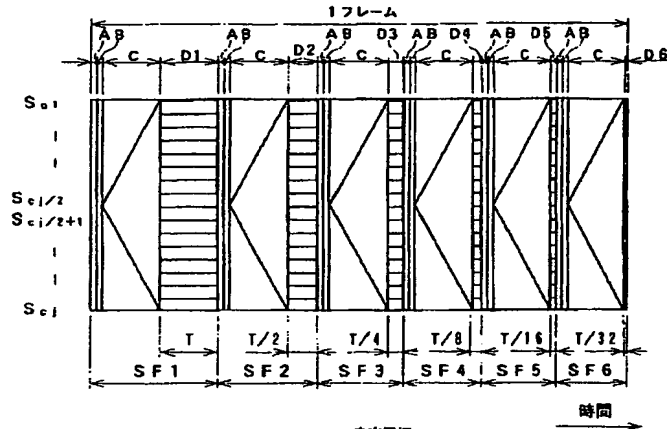


【図4】



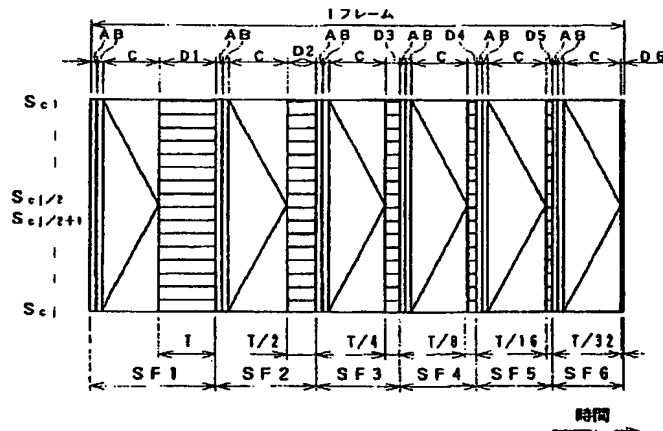
COM: 維持電極 $S_{e1}, S_{e2}, \dots, S_{ej}$ に共通に印加する駆動パルス
 S_1, S_2, \dots, S_i : 走査電極 $S_{e1}, S_{e2}, \dots, S_{ej}$ に印加する駆動パルス
 DATAU: 上側データ電極 $D_{e1}, D_{e2}, \dots, D_{ei}$ に印加する駆動パルス
 DATAD: 下側データ電極 $D_{e1}, D_{e2}, \dots, D_{ei}$ に印加する駆動パルス
 A: 予備放電期間
 B: 予備放電消去期間
 C: 書き込み放電期間
 D: 維持放電期間
 24: 予備放電パルス
 25: 予備放電消去パルス
 26: 走査パルス
 27, 28: 維持パルス
 29, 30: データパルス

【図6】



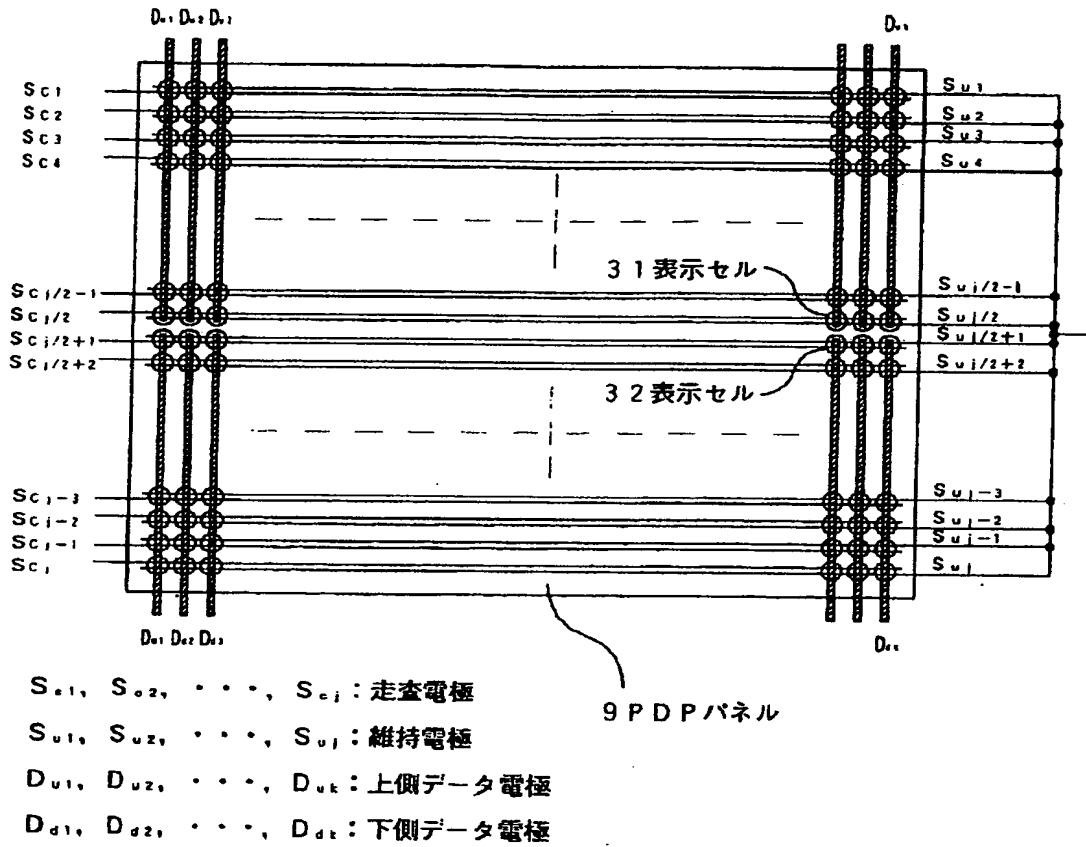
$S_{e1}, S_{e2}, \dots, S_{ej}$: 走査電極
 A: 予備放電期間
 B: 予備放電消去期間
 C: 書き込み放電期間
 D1~D6: 維持放電期間

【図5】

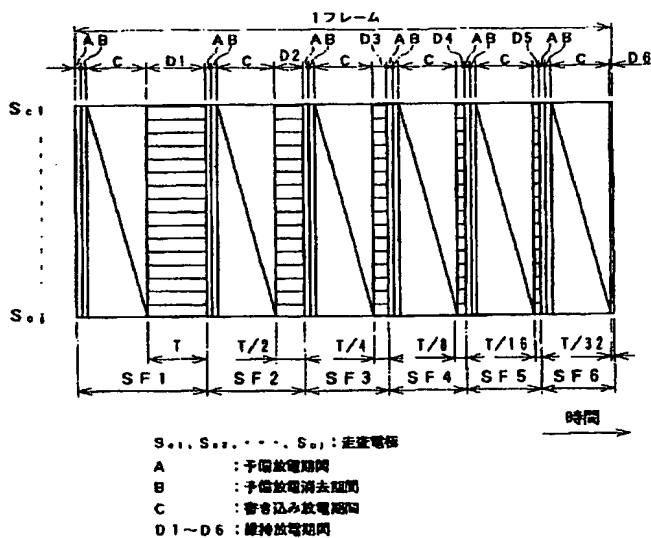


$S_{e1}, S_{e2}, \dots, S_{ej}$: 走査電極
 A: 予備放電期間
 B: 予備放電消去期間
 C: 書き込み放電期間
 D1~D6: 維持放電期間

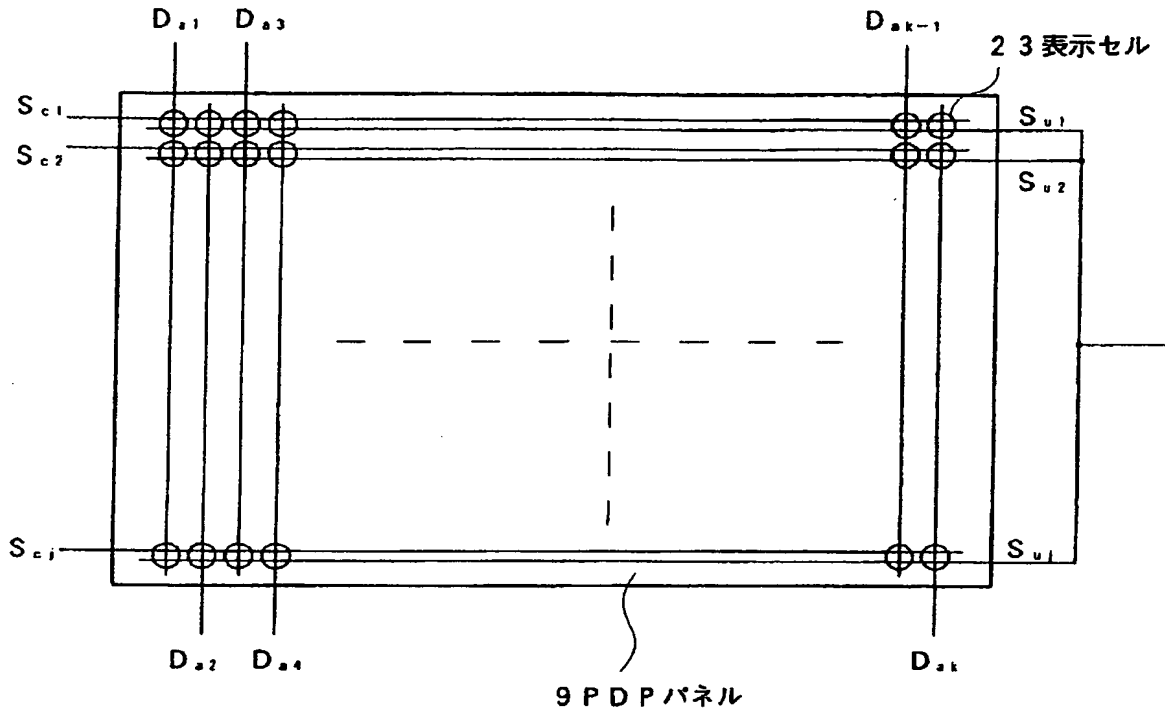
【図7】



【図10】



【図9】

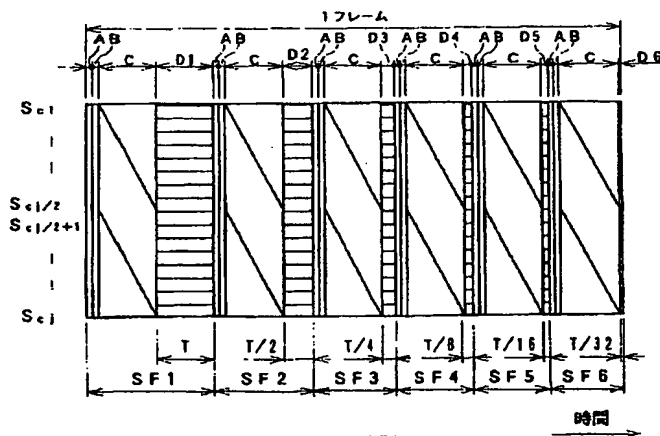


$S_{c1}, S_{c2}, \dots, S_{ci}$: 走査電極

$S_{u1}, S_{u2}, \dots, S_{uj}$: 共通電極

$D_{a1}, D_{a2}, \dots, D_{ak}$: データ電極

【図14】



$S_{c1}, S_{c2}, \dots, S_{ci}$: 走査電極

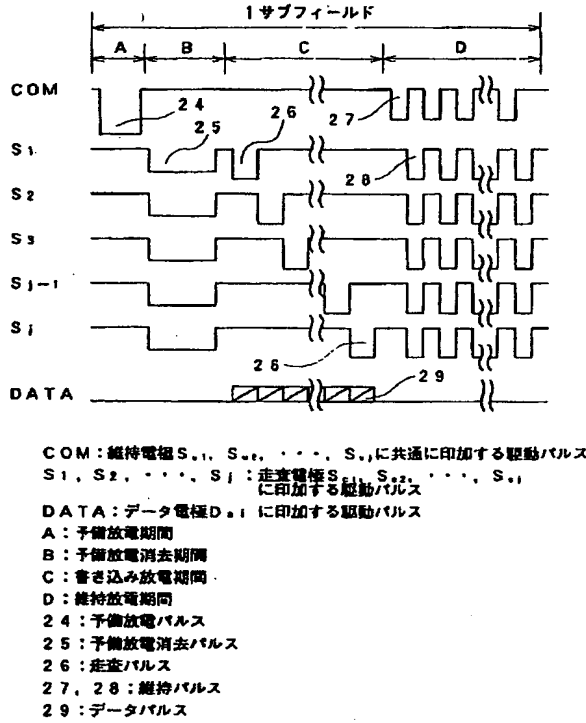
A : 予備放電期間

B : 予備放電消去期間

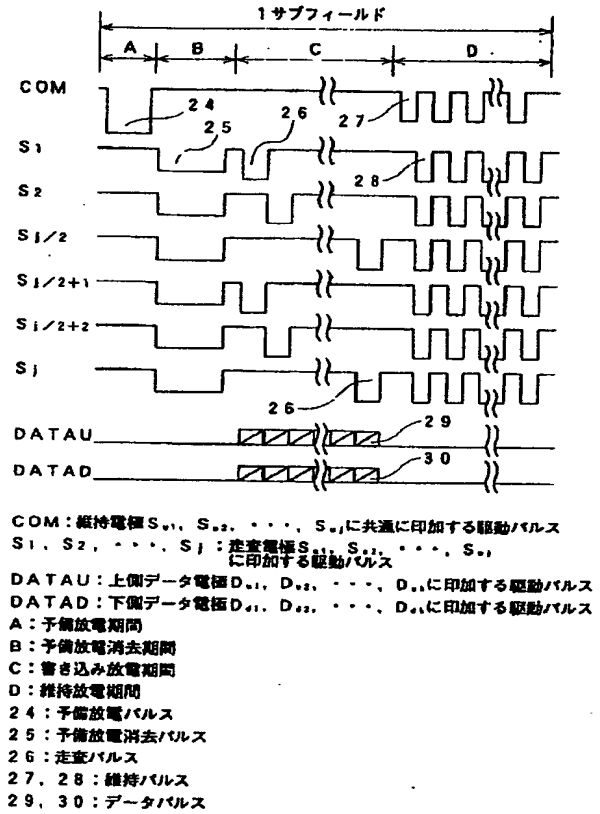
C : 書き込み放電期間

$D1 \sim D6$: 維持放電期間

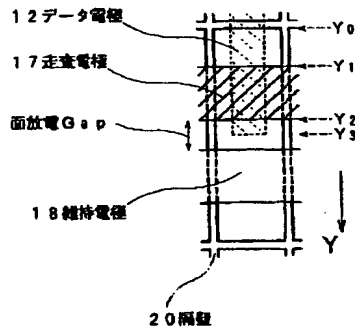
【図11】



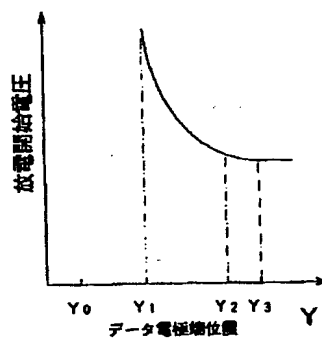
【図13】



【図15】

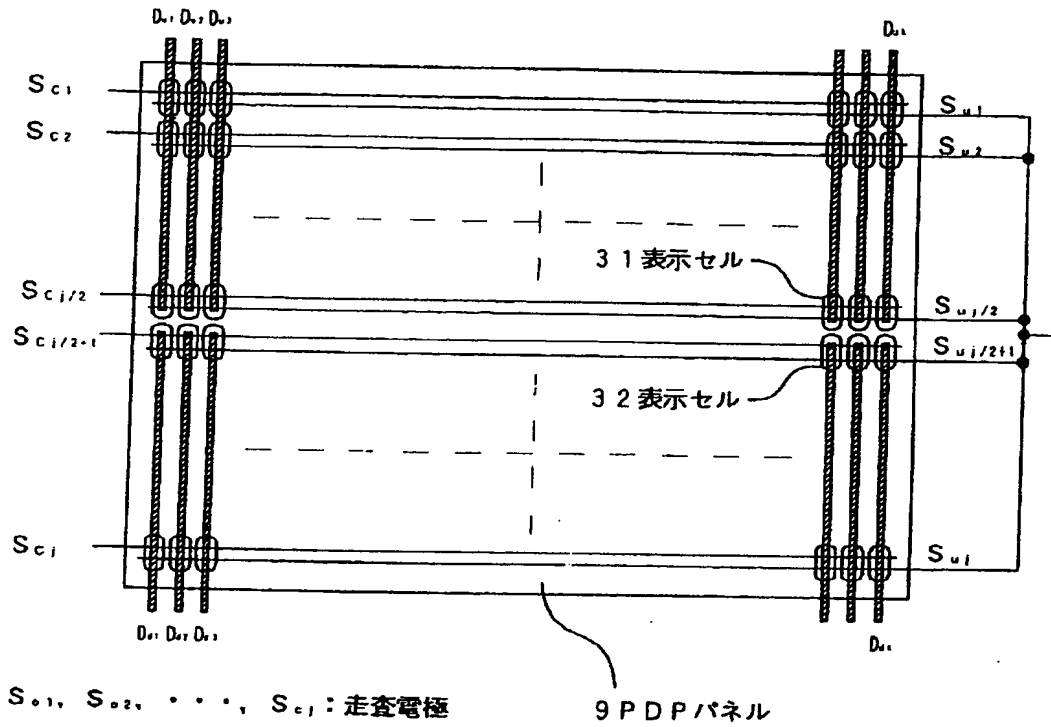


(a) セル拡大図



(b) 放電開始電圧特性

【図12】



$S_{c1}, S_{c2}, \dots, S_{c1}$: 走査電極
 $S_{u1}, S_{u2}, \dots, S_{u1}$: 維持電極
 $D_{u1}, D_{u2}, \dots, D_{uk}$: 上側データ電極
 $D_{d1}, D_{d2}, \dots, D_{dk}$: 下側データ電極

【図16】

